

08-255878

Oct. 1, 1996

L6: 1 of 2

FLOATING GATE TRANSISTOR AND FABRICATION THEREOF

INVENTOR: YOSHIHIRO SUGITA, et al. (1)

ASSIGNEE: FUJITSU LTD

APPL NO: 07-56960

DATE FILED: Mar. 16, 1995

PATENT ABSTRACTS OF JAPAN

ABS GRP NO:

ABS VOL NO:

ABS PUB DATE:

INT-CL: H01L 27/10; H01L 21/8247; H01L 29/788; H01L 29/792

ABSTRACT:

PURPOSE: To obtain a floating gate transistor, and a fabrication method thereof in which a refresh time appropriate for a DRAM, comprising a floating gate transistor can be ensured.

CONSTITUTION: A gate insulation film comprising a dielectric film 4 and an SiC film 5 is provided on a silicon substrate 1 and a floating gate 6 is provided on the gate insulation film. The dielectric film 4 is provided at least one of the interface between the SiC film 5 and the silicon substrate 1 and the interface between the SiC film 5 and the floating gate 6. Thickness of the dielectric film 4 is set such that the tunnel conduction prevails.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255878

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	3 1 1		H 0 1 L 27/10	3 1 1
21/8247			29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平7-56960

(22) 出願日 平成7年(1995)3月16日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 杉田 義博

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 板倉 徹

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

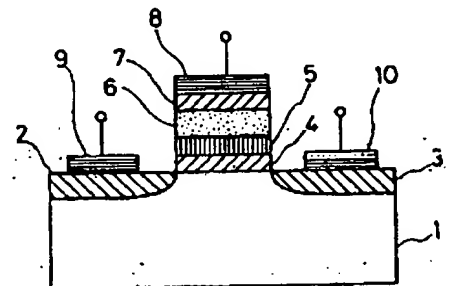
(54) 【発明の名称】 フローティングゲートトランジスタ及びその製造方法

(57) 【要約】

【目的】 フローティングゲートトランジスタ及びその製造方法に関し、フローティングゲートトランジスタからなるDRAMとしての適正なリフレッシュ時間を確保する。

【構成】 シリコン基板1上に誘電体膜4及びSiC膜5からなるゲート絶縁膜を設け、また、ゲート絶縁膜上にフローティングゲート6を設けると共に、SiC膜5とシリコン基板1との界面及びSiC膜5とフローティングゲート6との界面の少なくとも一方に誘電体膜4を設け、且つ、誘電体膜4の厚さをトンネル伝導が支配的になる厚さにする。

本発明のフローティングゲートトランジスタの断面図



- |                        |                        |
|------------------------|------------------------|
| 1 : p型シリコン半導体基板        | 6 : ポリシリコンフローティングゲート   |
| 2 : ソース                | 7 : SiO <sub>2</sub> 膜 |
| 3 : ドレイン               | 8 : コントロールゲート          |
| 4 : SiO <sub>2</sub> 膜 | 9 : ソース電極              |
| 5 : p-SiC膜             | 10 : ドレイン電極            |

## 【特許請求の範囲】

【請求項1】 シリコン基板上に誘電体膜及びSiC膜からなるゲート絶縁膜を設け、且つ、前記ゲート絶縁膜上にフローティングゲートを設けたフローティングゲートトランジスタにおいて、前記誘電体膜を前記SiC膜と前記シリコン基板との界面及び前記SiC膜と前記フローティングゲートとの界面の少なくとも一方に設けると共に、前記誘電体膜の厚さをトンネル伝導が支配的になる厚さにしたことを特徴とするフローティングゲートトランジスタ。

【請求項2】 上記誘電体膜として、 $\text{SiO}_2$ 、 $\text{SiN}$ 、及び、 $\text{SiO}_2\text{N}_x$ の内のいずれか一つを用いたことを特徴とする請求項1記載のフローティングゲートトランジスタ。

【請求項3】 上記誘電体膜の厚さを3nm以下にしたことを特徴とする請求項1または2記載のフローティングゲートトランジスタ。

【請求項4】 シリコン基板上にSiC膜を堆積させたのち、酸化性雰囲気中で熱酸化することによって、前記シリコン基板と前記SiC膜との界面にトンネル伝導が支配的になる厚さの $\text{SiO}_2$ 膜を形成することを特徴とするフローティングゲートトランジスタの製造方法。

【請求項5】 シリコン基板上にSiC膜を堆積させたのち、前記SiC膜に酸素イオンを注入し、次いで、熱処理を行なうことによって、前記シリコン基板と前記SiC膜との界面にトンネル伝導が支配的になる厚さの $\text{SiO}_2$ 膜を形成することを特徴とするフローティングゲートトランジスタの製造方法。

【請求項6】 シリコン基板上にトンネル伝導が支配的になる厚さの誘電体膜を形成したのち、前記誘電体膜上にSiC膜を堆積させることを特徴とするフローティングゲートトランジスタの製造方法。

【請求項7】 シリコン基板上にSiC膜を堆積させたのち、前記SiC膜の表面に誘電体膜を形成することを特徴とするフローティングゲートトランジスタの製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はフローティングゲートトランジスタ及びその製造方法に関するもので、特に、DRAM（ダイナミック・ランダム・アクセス・メモリ）として用いるフローティングゲートトランジスタ及びその製造方法に関するものである。

【0002】近年、半導体記憶装置の集積度の向上に伴って、揮発性メモリであるDRAMにおいては、スタック型キャパシタ、フィン型キャパシタ、或いは、トレンチ型キャパシタ等が採用されているが、その製造工程が複雑であり、且つ、キャパシタ容量の確保が難しくなっている。

【0003】また、キャパシタ容量を大きくするために

キャパシタを構成する誘電体膜として高誘電率の絶縁膜を用いることも提案されているが、この高誘電率の絶縁膜を用いたキャパシタは微細化、したがって、薄層化に伴ってリーク電流が増大するという問題があり、4Gb以下以降のDRAMのめどは立っていない。

【0004】一方、キャパシタ容量を必要としないEEPROM（Electrically Erasable Programmable Read-Only Memory）やFLASHメモリ等の不揮発性メモリは書換え速度、即ち、電荷注入速度或いは電荷消去速度が遅くてDRAMとして用いることができないものであった。

【0005】即ち、通常の不揮発性フローティングゲートトランジスタにおいては、書込み時の印加電圧の低減及び書込み時間の短縮化のために、ゲート絶縁膜として $\text{SiO}_2$ 膜に比べて禁制帯幅の小さな $\text{SiN}$ 膜を用いているが、それでも書込み時の印加電圧が高く、且つ、書込み時間が長いのでDRAMとして用いることができないものである。

【0006】また、さらなる書込み時の印加電圧の低減及び書込み時間の短縮化のためには、ゲート絶縁膜として $\beta\text{-SiC}$ （ $E_g = 2.2\text{eV}$ ）のように禁制帯幅の小さな物質を用いたり、或いは、ゲート絶縁膜の厚さを3nm以下にすれば良いが、不揮発性メモリは注入電荷の永久保存を目指すものであるため、その様な物質及び厚さでは拡散電流やトンネル電流が無視できなくなり、不揮発性メモリとして実用に供しえないという不都合が生ずる。

【0007】そこで、本発明者はこのような不都合を利用してフローティングゲートトランジスタをDRAMとして用いることを提案（特願平6-121339号）している。図3を参照して、この提案を説明する。

【0008】図3参照このフローティングゲートトランジスタは、p型シリコン半導体基板1に設けたソース・ドレイン2、3の間に、厚さ10nmの $\beta\text{-SiC}$ 膜5をゲート絶縁膜とし、その上に厚さ200nmのポリシリコンフローティングゲート6、層間絶縁膜としての厚さ5nmの $\text{SiO}_2$ 膜7、及び、コントロールゲート8を設けたものである。なお、9及び10は、夫々ソース電極及びドレイン電極である。

【0009】この場合、 $\beta\text{-SiC}$ （電子親和力：3.47eV）のシリコンに対する電子親和力の差に起因する電子障壁の高さは、0.55eVであるので、フローティングゲートトランジスタをDRAMとして使用する場合は電子障壁の高さの条件である0.5～1.2eVの条件を満たしている。

【0010】なお、電子障壁の高さが0.5eV以下の場合には、注入された電荷（電子）は拡散電流として極めて短時間で逃げってしまうので、実用的なリフレッシュ時間を設定することができず、また、電子障壁の高さが

1. 2 eV以上の場合には書き込み時間が実用に供しえないほど長くなってしまふ。

【0011】また、この $\beta$ -SiCはシリコン基板に直接エピタキシャル成長させることも可能であるため、現行のVLSI製造プロセスとの整合性が良いという利点もある。

【0012】なお、上記の本発明者による提案と類似した構造としてSiO<sub>2</sub>膜とSiC膜よりなる二重絶縁層を設けた不揮発性メモリ(特開昭56-56677号公報参照)が知られている。

【0013】しかし、この不揮発性メモリは、SiC/SiO<sub>2</sub>界面のトラップ準位、或いは、SiC自体で電荷を保持するものであり、また、この場合のSiO<sub>2</sub>膜はトンネル伝導が支配的にならない厚さであり、SiO<sub>2</sub>膜の高絶縁性を利用して注入電荷の保持を行なうものであるため、上記提案とはその本質を異にする。

【0014】

【発明が解決しようとする課題】しかし、 $\beta$ -SiCはフローティングゲートトランジスタをDRAMとして使用する場合の電子障壁の高さの条件である0.5~1.2 eVの条件を満たしているものの、電子障壁の高さが0.55 eVと下限に近いためそれに伴って電荷保持時間が短くなり適正なリフレッシュ時間を確保することができないという問題がある。

【0015】適正なリフレッシュ時間を得るためには、0.85 eV程度の電子障壁の高さが必要となるものの、現行のVLSI製造プロセスとの整合性が良く、且つ、シリコンとの電子親和力の差が0.85 eV程度の適当な材料は見当たらないため、ゲート絶縁膜として $\beta$ -SiC以外の材料を用いることは困難であった。

【0016】したがって、本発明は、現行のVLSI製造プロセスとの整合性が良い $\beta$ -SiCを用いてフローティングゲートトランジスタからなるDRAMの適正なリフレッシュ時間を確保することを目的とする。

【0017】

【課題を解決するための手段】本発明は、シリコン基板(図1の1)上に誘電体膜(図1の4)及びSiC膜(図1の5)からなるゲート絶縁膜を設け、且つ、前記ゲート絶縁膜上にフローティングゲート(図1の6)を設けたフローティングゲートトランジスタにおいて、前記誘電体膜(図1の4)を前記SiC膜(図1の5)と前記シリコン基板(図1の1)との界面及び前記SiC膜(図1の5)と前記フローティングゲート(図1の6)との界面の少なくとも一方に設けると共に、前記誘電体膜(図1の4)の厚さをトンネル伝導が支配的になる厚さにしたことを特徴とする。

【0018】また、本発明は、誘電体膜(図1の4)として、SiO<sub>2</sub>、SiN<sub>x</sub>、及び、SiO<sub>x</sub>N<sub>y</sub>の内のいずれか一つを用いたことを特徴とする。また、本発明は、誘電体膜(図1の4)の厚さを3 nm以下にしたこ

とを特徴とする。

【0019】また、本発明は、フローティングゲートトランジスタの製造方法において、シリコン基板(図1の1)上にSiC膜(図1の5)を堆積させたのち、酸化性雰囲気中で熱酸化することによって、シリコン基板(図1の1)とSiC膜(図1の5)との界面にトンネル伝導が支配的になる厚さのSiO<sub>2</sub>膜(図1の4)を形成することを特徴とする。

【0020】また、本発明は、フローティングゲートトランジスタの製造方法において、シリコン基板(図1の1)上にSiC膜(図1の5)を堆積させたのち、酸素イオンを注入し、熱処理することによってシリコン基板(図1の1)とSiC膜(図1の5)との界面にトンネル伝導が支配的になる厚さのSiO<sub>2</sub>膜(図1の4)を形成することを特徴とする。

【0021】また、本発明は、フローティングゲートトランジスタの製造方法において、シリコン基板(図1の1)上にトンネル伝導が支配的になる厚さの誘電体膜(図1の4)を形成したのち、その上にSiC膜(図1の5)を堆積させることを特徴とする。

【0022】また、本発明は、フローティングゲートトランジスタの製造方法において、シリコン基板(図1の1)上にSiC膜(図1の5)を堆積させたのち、その表面に誘電体膜を形成することを特徴とする。

【0023】

【作用】シリコン基板上にシリコンに対する電子障壁がSiCよりも高く、且つ、トンネル伝導が支配的になる厚さの誘電体膜及びSiC膜を順次積層させてゲート絶縁膜とすることにより、実効的な電子障壁の高さを高くすることができ、それによって電子の蓄積時間、従って、DRAMとしてのリフレッシュ時間を実用的な値にすることができる。

【0024】また、誘電体膜として、SiO<sub>2</sub>、SiN<sub>x</sub>、及び、SiO<sub>x</sub>N<sub>y</sub>の内のいずれか一つを用いたことにより、シリコンプロセスと整合性が良く、且つ、基板との界面特性を良好にすることができるので、電子の蓄積時間を適正な値にすることができる。

【0025】また、誘電体膜の厚さを3 nm以下にすると、電子は量子力学的にトンネルしてしまうので誘電体膜中の伝導はトンネル電流が支配することになり、電子は誘電体膜の電子障壁の高さを実効的に感じないので絶縁体としての性質が発現せずにDRAM動作が可能になる。なお、誘電体膜の厚さが電子のトンネルが可能な厚さを越えると、通常のフローティングゲート型の不揮発性メモリとなる。

【0026】また、シリコン基板上にSiC膜を堆積させたのち、酸化性雰囲気中で熱酸化することによって、雰囲気中の酸素がSiC膜を透過し、シリコン基板とSiC膜との界面に達してトンネル伝導が支配的になる厚さのSiO<sub>2</sub>膜を徐々に形成することができ、界面特性

が優れたものとなる。

【0027】また、シリコン基板上にSiC膜を堆積させたのち、酸素イオンを注入し、熱処理することによってシリコン基板とSiC膜との界面にトンネル伝導が支配的になる厚さのSiO<sub>2</sub>膜を制御性良く形成することができる。

【0028】また、本発明の基本原理は、SiC膜とトンネル伝導が支配的になる厚さの誘電体膜との組合せにあり、その形成順序は問わないものである。シリコン基板上に誘電体膜を形成したのちSiC膜を堆積させても良いし、或いは、SiC膜を堆積させたのち誘電体膜を形成しても良く、製造工程の自由度を増すことができる。

【0029】

【実施例】本発明の実施例のフローティングゲートトランジスタを図1を参照して説明する。なお、図1はフローティングゲートトランジスタの要部断面図を示すものであり、実際には、このようなフローティングゲートトランジスタがマトリクス状に多数配置されているものである。

【0030】図1参照

まず、不純物濃度が $5 \times 10^{16} \text{ cm}^{-3}$ のp型シリコン半導体基板1の表面に熱酸化によって厚さ1nmのSiO<sub>2</sub>膜4を形成したのち、気相化学堆積法(CVD法)によって厚さ9nmの $\beta$ -SiC膜5、厚さ200nmのポリシリコンフローティングゲート6、層間絶縁膜としての厚さ10nmのSiO<sub>2</sub>膜7、及び、コントロールゲート8を堆積させる。この場合、シリコン基板との界面は、プロセス技術が向上しているSi/SiO<sub>2</sub>界面を用いているので、トラップ準位の少ない良好な界面が得られる。

【0031】なお、この場合の $\beta$ -SiC膜5の成長条件は、基板温度が800~1000℃、好適には900℃であり、原料ガスとしてアセチレン(C<sub>2</sub>H<sub>2</sub>)及びジシラン(Si<sub>2</sub>H<sub>6</sub>)の混合ガスを用い、また、キャリアガスとしてH<sub>2</sub>或いはHeを用いて全体の圧力を200Paとした条件であり、多結晶状態の $\beta$ -SiCが得られる。

【0032】次いで、コントロールゲート8乃至SiO<sub>2</sub>膜4をゲート長が0.8 $\mu\text{m}$ 、ゲート幅が1 $\mu\text{m}$ になるようにパターニングしたのち、Asをイオン注入してn<sup>+</sup>型ソース・ドレイン2、3をゲートに対して自己整合的に形成し、最後に、PSG膜等の保護膜及び保護膜に設けたコンタクトホールを介してソース・ドレイン電極9、10を形成してフローティングゲートトランジスタが完成する。

【0033】このように、ゲート絶縁膜は、絶縁信頼性を確保する $\beta$ -SiC膜5と絶縁体としての性質が発現しない程度の厚さのSiO<sub>2</sub>膜4を組み合わせているので、電荷蓄積寿命、即ち、記憶の保持時間をSiO<sub>2</sub>膜

4の厚さで制御することができ、実施例の場合には1s(秒)程度とすることができるので、リフレッシュ時間を実用的な値にすることができる。

【0034】また、SiO<sub>2</sub>膜4は、トンネル電流によってキャリアの出入りが自由にできるので、不揮発性メモリと異なり、アバランシェ注入を用いることなく、ファウラー・ノルトハイム(Fowler-Nordheim)型トンネル注入を用いることによってポリシリコンフローティングゲートに電荷を注入することができ、したがって、書き込み・読出・消去時間は10ns程度になり、DRAMとして用いることができる。

【0035】次に、図2を参照して、このフローティングゲートトランジスタの情報の書き込み・読出・消去方法について説明する。なお、この場合の、コントロールゲート-フローティングゲート間容量は16fF(femto Farad)、フローティングゲート-シリコン基板間容量は7fF、読出時のビット線容量は2pF、及び、書き込み時のフローティングゲート電位は-0.5Vである。

20 【0036】図2参照

まず、情報を書き込む場合を説明すると、例えば、図のセル22に情報を書き込む場合、ワード線2を3Vにして、その他のワード線を1.5Vにする。そして、ビット線2及びソース線2を0Vにして、他のビット線及びソース線を1.5Vにすると、シリコン基板-コントロールゲート間電圧はセル22で3V、その他のセルは1.5もしくは0Vとなり、3Vの電位のあるセル22にのみファウラー・ノルトハイム型トンネル注入によって情報が書き込まれる。

30 【0037】次に、セル22の情報を読み出す場合を説明すると、ビット線を全て0.5Vとし、ソース線を全て0Vとし、ワード線2を0.5V、その他のワード線を0Vとする。

【0038】そうすると、フローティングゲート電位が0V、即ち、情報が書き込まれていない場合のビット線電位は低下し、また、フローティングゲート電位が-0.5V、即ち、情報が書き込まれている場合のビット線電位は変動しないので、その差によって、セル22の情報の書き込みの有無を検出する。

40 【0039】次に、セル22に書き込まれた情報を消去する場合を説明すると、ビット線2及びソース線2を3Vとし、その他のビット線及びソース線を全て1.5Vとし、ワード線2を0V、その他のワード線を1.5Vとする。

【0040】この場合、ソース・ドレインとコントロールゲート間の電位差は、セル22のみが3Vで、その他のセルでは最大で1.5Vであるので、一番大きな3Vの電位差の印加されたセル22に蓄積されていた電子がファウラー・ノルトハイム型トンネル注入によってソース・ドレイン側に抜けてフローティングゲート電位が0

Vとなり、セル22の情報の消去が完了するが、電位差の小さな他のセルにおいてはフローティングゲート電位は変動しない。

【0041】なお、上記実施例においては、ゲート絶縁膜の一部を構成するSiCとして多結品の $\beta$ -SiCを用いているが、他の結晶系のSiC、例えば、 $\alpha$ -SiCでも良く、また、結晶状態も多結晶である必要は必ずしもなく、非晶質、微結晶、或いは、場合によっては、単結晶であっても良い。

【0042】また、本発明は実施例に記載された数値に限られるものではなく、例えば、SiO<sub>2</sub>膜4の厚さは0.5~3.0nmであれば良く、 $\beta$ -SiC膜5の厚さは2~100nmであれば良く、ポリシリコンフローティングゲート6の厚さは50~400nmであれば良く、また、SiO<sub>2</sub>膜7の厚さは4.0~15nmであれば良い。

【0043】また、シリコン基板1及びソース・ドレイン2、3の不純物濃度は通常のMISFETの不純物濃度として用いられている範囲であれば良く、また、チャネル長及びチャネル幅も夫々0.08~1.0 $\mu$ m及び0.5~20 $\mu$ mの範囲であれば良い。

【0044】次に、本発明の実施例の変形例を説明する。上記実施例においては、ゲート絶縁膜としてもSiO<sub>2</sub>膜4を $\beta$ -SiC膜5の堆積前に熱酸化法によって形成しているが、CVD法によって堆積させても良いものであり、この場合には、熱酸化法に比べてSiO<sub>2</sub>膜4の絶縁耐圧が若干低下するが、本発明のフローティングゲートトランジスタは高電圧駆動を伴わないので問題にはならない。

【0045】また、このゲート絶縁膜としてのSiO<sub>2</sub>膜4は、SiN<sub>x</sub>膜やSiO<sub>x</sub>N<sub>y</sub>膜等の他の誘電体膜に置き換えても良いものであり、この場合には、SiN<sub>x</sub>膜或いはSiO<sub>x</sub>N<sub>y</sub>膜の禁制帯幅はSiO<sub>2</sub>膜の禁制帯幅よりも小さく電荷のトンネル確率は大きくなるので、電荷蓄積時間はSiN<sub>x</sub>膜或いはSiO<sub>x</sub>N<sub>y</sub>膜の厚さ及び禁制帯幅で制御することができる。

【0046】この場合にも、シリコン基板1との界面は、プロセス技術が向上しているSi/SiN<sub>x</sub>界面、或いは、Si/SiO<sub>x</sub>N<sub>y</sub>界面を用いているので、トラップ準位の少ない良好な界面が得られる。

【0047】なお、この場合のSiN<sub>x</sub>膜は化学的当量比のSi<sub>3</sub>N<sub>4</sub>と同じ或いは近い組成、即ち、N/Si比 $\alpha$ が1.2~1.4の範囲であれば良く、この場合、比 $\alpha$ が小さすぎると膜質が不安定になり、逆に、高すぎると引張ストレスが大きくなりすぎるためである。また、SiO<sub>x</sub>N<sub>y</sub>膜における、Oに対するNの比率 $\gamma$ は0.5以下である。

【0048】また、このようなSiN<sub>x</sub>膜やSiO<sub>x</sub>N<sub>y</sub>膜を用いた場合には、窒素含有に起因するホットキャリア耐性向上、絶縁信頼性の向上や、不純物拡散に対す

るブロッキング効果が得られ、さらに、組成比を適宜選択することによって膜のストレスを制御することができる利点がある。

【0049】さらに、ゲート絶縁膜をSiN<sub>x</sub>膜或いはSiO<sub>x</sub>N<sub>y</sub>膜とする場合には、シリコン基板1をNH<sub>3</sub>雰囲気等の窒化雰囲気中で直接窒化してSiN<sub>x</sub>膜或いはSiO<sub>x</sub>N<sub>y</sub>膜を形成しても良い。

【0050】また、本発明の基本的原理は、絶縁信頼性を確保する $\beta$ -SiC膜5と絶縁体としての性質が発現しない程度の厚さの誘電体膜(図1の4)との組合せにあるので、誘電体膜(図1の4)はシリコン基板1と $\beta$ -SiC膜5との間にある必要はなく、シリコン基板1上に $\beta$ -SiC膜5を直接堆積させて、その上に、SiO<sub>2</sub>膜、SiN<sub>x</sub>膜、或いは、SiO<sub>x</sub>N<sub>y</sub>膜をCVD法によって堆積させても良い。

【0051】さらに、SiO<sub>2</sub>等の誘電体膜(図1の4)は $\beta$ -SiC膜5の上下両面に設けても良いものであり、この場合には、薄層化に伴って一方の側に設けた誘電体膜(図1の4)の一部にピンホール等の欠陥が発生しても、他方の側に設けた誘電体膜の対応箇所にピンホール等の欠陥が発生する可能性は非常に少ないので、全体としては、良品のゲート絶縁膜を得ることができ、製造歩留りが向上する。

【0052】また、誘電体膜の形成方法としては、シリコン基板1上に $\beta$ -SiC膜5を直接堆積させたのち、ドライO<sub>2</sub>雰囲気、ウェットO<sub>2</sub>雰囲気、水蒸気雰囲気等の酸化性雰囲気中で800℃以上の温度で熱処理して、 $\beta$ -SiC膜5の表面を酸化してSiOC膜を形成しても良く、この場合には、 $\beta$ -SiC膜5の表面の酸化と同時にシリコン基板1と $\beta$ -SiC膜5の界面にもO<sub>2</sub>が進入してシリコン基板1の表面の酸化も徐々に進行するので、界面にトラップ準位等が生成されることが少なく、界面特性の改善につながる。

【0053】なお、酸化性雰囲気は、記載したドライO<sub>2</sub>雰囲気、ウェットO<sub>2</sub>雰囲気、水蒸気雰囲気の順序で酸化速度が遅く、膜厚の制御性が良好になるものであり、さらに、これらの酸化性雰囲気の代わりにO<sub>3</sub>雰囲気を用いると低温酸化が可能になる。

【0054】

【発明の効果】本発明によれば、フローティングゲートトランジスタのゲート絶縁膜として、トンネル伝導が支配的になる誘電体膜と絶縁信頼性を確保する $\beta$ -SiC膜とを組み合わせて用いたので、書込・読出時間が10ns程度及び記憶保持時間が1s(1秒)程度で適正なリフレッシュ時間を有するDRAMをキャパシタレスで構成することができ、半導体記憶装置の集積度の向上に寄与するところが多い。

【図面の簡単な説明】

【図1】本発明の実施例のフローティングゲートトランジスタの断面図である。

【図2】本発明の実施例のキャパシタレスDRAMの回路構成の説明図である。

【図3】従来のフローティングゲートトランジスタの断面図である。

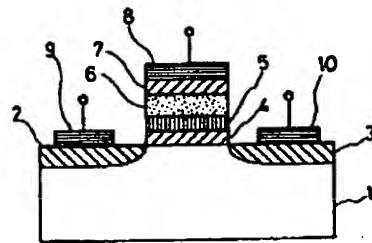
【符号の説明】

- 1 p型シリコン半導体基板
- 2 ソース
- 3 ドレイン

- 4  $\text{SiO}_2$  膜
- 5  $\beta\text{-SiC}$  膜
- 6 ポリシリコンフローティングゲート
- 7  $\text{SiO}_2$  膜
- 8 コントロールゲート
- 9 ソース電極
- 10 ドレイン電極

【図1】

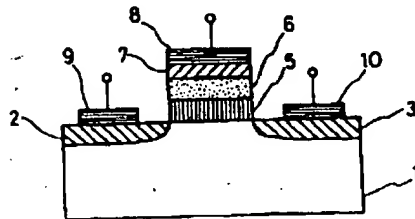
本発明のフローティングゲートトランジスタの断面図



- 1: p型シリコン半導体基板
- 2: ソース
- 3: ドレイン
- 4:  $\text{SiO}_2$  膜
- 5:  $\beta\text{-SiC}$  膜
- 6: ポリシリコンフローティングゲート
- 7:  $\text{SiO}_2$  膜
- 8: コントロールゲート
- 9: ソース電極
- 10: ドレイン電極

【図3】

従来のフローティングゲートトランジスタの断面図



- 1: p型シリコン半導体基板
- 2: ソース
- 3: ドレイン
- 4:  $\beta\text{-SiC}$  膜
- 5:  $\beta\text{-SiC}$  膜
- 6: ポリシリコンフローティングゲート
- 7:  $\text{SiO}_2$  膜
- 8: コントロールゲート
- 9: ソース電極
- 10: ドレイン電極

【図2】

本発明の実施例のキャパシタレスDRAMの回路構成の説明図

